



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0040091
Application Number

출원 년 월 일 : 2003년 06월 20일
Date of Application JUN 20, 2003

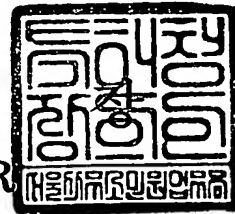
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 11 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.20
【발명의 명칭】	내부전압 생성용 액티브 드라이버
【발명의 영문명칭】	Active driver for generating internal voltage
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	최준기
【성명의 영문표기】	CHOI, Jun Gi
【주민등록번호】	720404-1696613
【우편번호】	467-850
【주소】	경기도 이천시 대월면 초지리 삼원아파트 106동 903호
【국적】	KR
【발명자】	
【성명의 국문표기】	강창석
【성명의 영문표기】	KANG, Chang Seok
【주민등록번호】	760313-1889210
【우편번호】	467-140
【주소】	경기도 이천시 고담동 하이닉스반도체 고담기숙사 101동 401호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	8	면	8,000	원
---------	---	---	-------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	9	항	397,000	원
---------	---	---	---------	---

【합계】	434,000	원		
------	---------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 내부전압 생성용 액티브 드라이버에 관한 것으로, 반도체 장치의 액티브 동작시에 코아전압(VCORE)의 소모전류에 의한 코아전압(VCORE)의 전압강하를 멀티단계(multi-step)로 검출한 후 검출된 전압강하 레벨에 따라 해당 드라이버용 트랜지스터를 가변적으로 동작시킴으로써 액티브 동작시 출력 드라이버의 크기의 증가에 따른 액티브 소모전류의 증가를 최소화할 수 있는 내부전압 생성용 액티브 드라이버를 개시한다.

【대표도】

도 2

【색인어】

DRAM, 풀 드라이버, 할프 드라이버, 오버댐핑, 소모전류

【명세서】**【발명의 명칭】**

내부전압 생성용 액티브 드라이버{Active driver for generating internal voltage}

【도면의 간단한 설명】

도 1는 종래기술에 따른 내부전압 생성용 액티브 드라이버의 회로도이다.

도 2는 본 발명의 바람직한 실시예에 따른 내부전압 생성용 액티브 드라이버의 회로도이다.

도 3은 도 2에 도시된 인에이블신호(enable1 내지 enablen)를 생성하기 위한 인에이블 생성 회로부의 상세 회로도이다.

도 4는 액티브 신호를 지연시켜 액티브 지연신호를 출력하는 지연회로의 블록도이다.

도 5는 도 2에 도시된 내부전압 생성용 액티브 드라이버의 동작을 설명하기 위하여 도시한 파형도이다.

도 6은 도 5에 도시된 동작예1의 시뮬레이션 결과 그래프이다.

도 7은 도 5에 도시된 동작예2의 시뮬레이션 결과 그래프이다.

〈도면의 주요 부분에 대한 부호의 설명〉

16, 116 : 연산 증폭기 14, 114 : 출력 드라이버

130-1a, 130-2a : 스위칭용 PMOS 트랜지스터

130-1b, 130-2b : 드라이버용 PMOS 트랜지스터

18, 213, 214, 215, 223, 224, 232, 233 : NMOS 트랜지스터

211, 212, 221, 222, 231 : PMOS 트랜지스터

130 : 내부전압 강하 제어부

130-1 내지 130-n : 서브 내부전압 강하 제어부

217 : 안정화부

234 : 래치부

225 : 인버터

235 : 논리 조합부

300 : 지연회로

20, 120 : 출력단

216, 218, 236 : 노드

100 : 내부전압 생성부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<20> 본 발명은 내부전압 생성용 액티브 드라이버에 관한 것으로, 특히 액티브 동작시 사용되는 드라이버용 트랜지스터의 크기의 증가에 따른 액티브 소모전류의 증가를 최소화할 수 있는 액티브 드라이버에 관한 것이다.

<21> DRAM(Dynamic Random Access Memory)의 집적도가 증가함에 따라 트랜지스터(예컨대, MOS 전계 효과 트랜지스터(MOSFET; Metal Oxide Semiconductor Field Effect Transistor)의 게이트 길이(gate length)와 산화막 두께(oxide thickness)

가 감소하고 있다. 하지만 외부 전원전압은 계속 고전압(예컨대, 5V)을 사용하기 때문에 채널 전계(channel electric field)가 커져서 산화막의 내압 한계에 이르게 되고, 이에 따라 트랜지스터의 신뢰성(reliability)이 나빠지게 된다. 이를 해결하고자 칩(chip) 내부에서 전원전압을 낮추는 전압 변환 회로가 16M DRAM에서부터 본격적으로 채택되고 있다. 또한, 시모스(Complementary Metal-Oxide-Semiconductor; CMOS) 회로의 전력소모가 전압의 제곱에 비례하므로 낮은 전원전압을 사용하면 전력 소모를 줄일 수 있는 장점도 있다. 특히 내부 전압원을 정전압으로 설정하면 외부 전원전압이 변동을 하여도 안정된 전원전압을 확보할 수 있어 칩의 동작이 안정된다.

<22> 일반적으로, DRAM 내에서는 내부전압(VINT; INTERNAL Voltage)을 공급받는 주변 회로나 메모리 어레이(memory array) 등은 부하의 변동이 심하기 때문에 안정된 동작을 보이는 회로를 설계하기가 어렵다. 예컨대, DRAM 코아(core) 즉, 셀(cell) 및 서브 워드라인 드라이버(Sub Word line Driver), 센스앰프(sense amplifier), X-디코더(X-decoder), Y-디코더(Y-decoder) 쪽에 사용되는 내부 전압(VINT)으로는 정전위 전압인 코아전압(CORE Voltage; V_{CORE})과 고전압(V_{PP})이 있다. 예컨대, 코아전압(V_{CORE})의 경우에는 외부 전원전압(V_{DD})이 '2.5V'인 경우에는 '1.8V'가 된다. 고전압(V_{PP})의 경우에는 외부 전원전압(V_{DD})이 '2.5V'인 경우에는 '3.5V 내지 3.9V'가 된다. DRAM의 액티브(active) 동작시 코아전압(V_{CORE})이 사용되며, 이에 따라, 많은 전류가 소모된다. 따라서, 코아전압(V_{CORE})은 연산 증폭기(Operational Amplifier)를 이용한 내부전압 생성용 액티브 드라이버에 의해 생성된다.

<23> 도 1은 종래의 내부전압 생성용 액티브 드라이버로 사용되는 풀 드라이버(full driver)의 회로도이다.

<24> 도 1를 참조하면, 종래의 내부전압 생성용 액티브 드라이버는 약 1.8V의 기준전압(VREFC)을 입력받아 1.8V의 코아전압(VCORE)을 출력한다. 일반적으로 내부전압 생성용 액티브 드라이버는 연산 증폭기(16), 출력 드라이버(14) 및 n-채널 MOSFET(18; 이하, 'NMOS 트랜지스터'라 함)로 구성된다. 연산 증폭기(16)는 비반전 입력 단자(non-invert input; 플러스(+)표시)와 반전 입력 단자(invert input; 마이너스(-)표시)에서 각각 기준전압(VREFC)과 출력전압(VCORE)을 입력받고, 출력 드라이버(14)의 p-채널 MOSFET(이하, 'PMOS 트랜지스터'라 함)의 게이트 전극으로 출력신호를 제공한다. 출력 드라이버(14)는 외부 전원전압(VDD)을 입력받기 위해 접속된 소스 전극과 출력단(20)에 접속된 드레인 전극을 갖는다. NMOS 트랜지스터(18)는 제어전압(VCON; 0.8V)에 의해 동작되어 출력단(20)의 전위를 접지전압(VSS)으로 만든다. 결국, 외부 전원전압(VDD)으로부터 강화된 코아 전압(VCORE)이 출력된다.

<25> 이러한 종래의 내부전압 생성용 액티브 드라이버는 액티브 동작시에만 동작되도록 액티브 신호(active signal; act)가 게이트 전극으로 입력되는 PMOS 트랜지스터(12)를 더 구성한다. PMOS 트랜지스터(12)는 외부 전원전압(VDD)을 입력받기 위해 접속된 소스 전극과 드라이브 노드(19)에 접속된 드레인 전극을 가지며, 액티브 신호(act)에 따라 동작된다. 액티브 동작시 활성화되는 액티브 신호(act)가 '로우(LOW)' 상태로 입력되는 경우에는 PMOS 트랜지스터(12)가 턴-온(Turn-ON)되어 드라이브 노드(19)는 외부 전원전압(VDD)으로 인해 '하이(HIGH)' 상태가 된다. 이에 따라, 출력 드라이버(14)는 턴-오프(Turn-OFF)된다. 한편, 액티브 신호(act)가 '로우' 상태에서 '하이' 상태로 천이하는 경우, 즉 DRAM이 실제로 액티브 동작을 할 때 출력 드라이버(14)는 턴-온된다.

<26> 출력 드라이버(14)의 크기(size)는 출력단(20)으로 출력되는 코아전압(VCORE)의 편차와 관련성이 크다. 즉, 출력 드라이버(14)로 흐르는 전류의 속도에 따라 코아전압(VCORE)의 레벨

편차가 발생하게 된다. 이러한 이유로, 출력 드라이버(14)의 크기는 시뮬레이션(simulation)을 통해 얻어지는 코아전압(VCORE)의 소모 전류 및 로딩 캐패시턴스(load capacitance)를 정확하게 예측하여 설정된다. 일반적으로 출력 드라이버(14)의 PMOS 트랜지스터의 크기는 시뮬레이션 결과치의 2배 내지 3배 정도로 크게 설정된다. 그러나, 출력 드라이버(14)의 PMOS 트랜지스터의 크기를 증가시키는데에는 여러 가지의 이유에 의해 그 한계가 있기 때문에 옵션(option)으로 출력 드라이버(14)를 다수의 PMOS 트랜지스터를 이용하여 여러 단으로 구성하는 경우가 보통이다.

<27> 상기에서 설명한 바와 같이, 출력 드라이버(14)의 크기를 증가시키는데는 한계가 있다. 예컨대, 액티브 동작시에 소모되는 전류에 의해 코아전압(VCORE)의 레벨은 하강(drop)되고, 내부전압 생성용 액티브 드라이버의 응답속도에 의한 일정 시간 지연(delay)후 출력 드라이버(14)의 PMOS 트랜지스터가 동작된다. 이후, 출력 드라이버(14)의 PMOS 트랜지스터의 동작에 의해 하강된 코아전압(VCORE)의 레벨은 강제로 상승된다. 이때, 출력 드라이버의 PMOS 트랜지스터의 크기가 큰 경우 코아전압(VCORE) 레벨 이상으로 오버 댐핑(over damping)되어 원래의 코아전압(VCORE) 레벨로 안정되기까지는 많은 시간이 소요된다. 또한, 출력 드라이버(14)의 PMOS 트랜지스터의 크기가 증가하는 경우에는 회로의 레이아웃(layout) 면적 또한 증가하게 된다.

【발명이 이루고자 하는 기술적 과제】

<28> 따라서, 본 발명은 종래기술에서 내부전압을 생성하기 위한 드라이버에 관련하여 발생할 수 있는 다양한 문제점을 해결하기 위해 안출된 것으로서, 액티브 동작시 출력 드라이버의 크기의 증가에 따른 액티브 소모 전류의 증가를 최소화하는데 그 목적이 있다.

<29> 또한, 본 발명은 출력 드라이버의 PMOS 트랜지스터의 크기의 증가에 따른 코아 전압(VCORE)의 오버 댐핑 현상을 최소화하여 오버 댐핑 현상 발생시 코아 전압(VCORE)의 레벨로 안정화되는데 소요되는 시간을 최소화하는데 다른 목적이 있다.

<30> 또한, 본 발명은 출력 드라이버의 PMOS 트랜지스터를 사용하는 내부 전압 액티브 드라이버에서, 상기 출력 드라이버의 PMOS 트랜지스터의 크기의 증가를 최소화하여 내부 전압 액티브 드라이버가 차지하는 전체 레이아웃 면적의 증가를 최소화하는데 또 다른 목적이 있다.

【발명의 구성 및 작용】

<31> 본 발명의 일측면에 따르면, 기준전압에 따라 외부 전원전압을 내부전압으로 변환하여 출력하는 내부전압 생성부와, 상기 내부전압의 전압레벨을 검출하여 생성되는 인에이블신호에 따라 동작되어 상기 내부전압을 일정한 전압레벨로 안정화시키는 적어도 하나의 내부전압 강하 제어부를 포함하는 액티브 드라이버를 제공한다.

<32> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<33> 도 2는 본 발명의 바람직한 실시예에 따른 내부전압 생성용 액티브 드라이버용 풀 드라이버의 회로도이다. 본 발명의 바람직한 실시예에 따른 내부전압 생성용 액티브 드라이버는 풀 드라이버에 한정되는 것은 아니며, 할프 드라이버(half driver)도 가능하다.

- <34> 도 2를 참조하면, 본 발명의 바람직한 실시예에 따른 내부전압 생성용 액티브 드라이버는 내부전압 생성부(100) 및 내부전압 강하 제어부(130)를 포함한다. 내부전압 생성부(100)는 기준전압(VREFC)에 따라 외부 전원전압(VDD)을 내부전압으로 변환하기 위하여 연산 증폭기(116) 및 출력 드라이버(114)를 포함한다. 또한, 내부전압 생성부(100)는 출력단(120)을 접지 전압(VSS)과 저항을 가진 소자로 연결해주는 접지 제어부(118)와, 액티브 동작부(112)를 더 포함한다.
- <35> 연산 증폭기(116)는 비반전 입력 단자(+)에서 기준전압(VREFC)을 입력받고, 반전 입력 단자(-)로 출력전압(VCORE)을 입력받으며, 출력 드라이버(114)와, 내부전압 강하 제어부(130)로 출력을 제공한다.
- <36> 출력 드라이버(114)는 PMOS 트랜지스터로 구성된다. 상기 드라이버용 PMOS 트랜지스터는 외부 전원전압(VDD)을 입력받기 위해 접속된 소스 전극과 출력단(120)에 접속된 드레인 전극으로 구성된다.
- <37> 내부전압 강하 제어부(130)는 출력단(120)으로 출력되는 출력전압(예컨대, 코아전압(VCORE))이 강하되는 정도에 따라 단계적으로 활성화되는(예컨대, 로우(LOW) 상태) 다수의 인에이블신호(enable1 내지 enablen)에 의해 각각 동작되는 적어도 하나 이상의 서브(sub) 내부전압 강하 제어부(130-1 내지 130-n; 여기서, n은 정수)로 구성된다.
- <38> 서브 내부전압 강하 제어부(130-1 내지 130-n)는 코아전압(VCORE)이 목표치 전압 레벨에서 일정 레벨로 강하되는 경우 단계적으로 활성화되는 각 인에이블신호(enable1 내지 enablen)에 따라 동작되어 출력전압인 코아 전압(VCORE)을 상승시킨다. 여기서, 내부전압 강하 제어부(130)를 구성하는 서브 내부전압 강하 제어부의 갯수는 설계시 적절히 조정된다. 이하에서는 그 설명의 편의 및 이해를 돕고자 내부전압 강하 제어부(130)를 구성하는 다수의 서브 내부전

압 강하 제어부(130-1 내지 130-n) 중 도 2에 도시된 서브 내부전압 강하 제어부(130-1 및 130-2)에 관해서만 설명하기로 한다.

<39> 서브 내부전압 강하 제어부(130-1)는 스위치용 PMOS 트랜지스터(130-1a)와 드라이버용 PMOS 트랜지스터(130-1b)로 이루어진다. 스위치용 PMOS 트랜지스터(130-1a)는 외부 전원전압(VDD)을 입력받기 위해 외부 전원전압원과 접속된 소스 전극과 드라이버용 PMOS 트랜지스터(130-1b)의 소스 전극과 접속된 드레인 전극을 가지며, 게이트 전극으로 입력되는 인에이블신호(enable1)에 따라 동작된다. 드라이버용 PMOS 트랜지스터(130-1b)는 스위치용 PMOS 트랜지스터(130-1a)로부터 외부 전원전압(VDD)을 입력받기 위해 스위치용 PMOS 트랜지스터(130-1a)의 드레인 전극과 접속된 소스 전극과 출력단(120)으로부터 전기적으로 접속된 출력라인(120a)과 접속된 드레인 전극을 가지며, 게이트 전극으로 입력되는 연산 증폭기(116)의 출력신호에 따라 동작된다.

<40> 서브 내부전압 강하 제어부(130-2)는 스위치용 PMOS 트랜지스터(130-2a)와 드라이버용 PMOS 트랜지스터(130-2b)로 이루어진다. 스위치용 PMOS 트랜지스터(130-2a)는 외부 전원전압(VDD)을 입력받기 위해 외부 전원전압원과 접속된 소스 전극과 드라이버용 PMOS 트랜지스터(130-2b)의 소스 전극과 접속된 드레인 전극을 가지며, 게이트 전극으로 입력되는 인에이블신호(enable2)에 따라 동작된다. 드라이버용 PMOS 트랜지스터(130-2b)는 스위치용 PMOS 트랜지스터(130-2a)로부터 외부 전원전압(VDD)을 입력받기 위해 스위치용 PMOS 트랜지스터(130-2a)의 드레인 전극과 접속된 소스 전극과 출력단(120)으로부터 전기적으로 접속된 출력라인(120a)과 접속된 드레인 전극을 가지며, 게이트 전극으로 입력되는 연산 증폭기(116)의 출력신호에 따라 동작된다.

<41> 상기에서 출력 드라이버(114) 및 서브 전압 강하부(130-1 및 130-2)에서 각각 사용되는 드라이버용 PMOS 트랜지스터의 크기의 총합은 종래기술에서 사용되는 드라이버용 PMOS 트랜지스터의 크기와 같도록 설계하는 것이 바람직하다. 이는, 드라이버용 PMOS 트랜지스터의 수의 증가에 따른 면적을 최소화하기 위함이다. 즉, 종래기술에서 사용되는 드라이버용 PMOS 트랜지스터의 크기를 '100'으로 가정 하였을 경우, 본 발명의 바람직한 실시예에 따른 출력 드라이버(114) 및 서브 전압 강하부(130-1 및 130-2)에서 각각 사용되는 드라이버용 PMOS 트랜지스터의 크기의 총합은 '100'이 되도록 설정한다. 이 경우, 출력 드라이버(114)의 드라이버용 PMOS 트랜지스터의 크기는 '50'으로 하고, 서브 전압 강하부(130-1 및 130-2)에서 사용되는 드라이버용 PMOS 트랜지스터의 크기는 각각 '25'로 설정하거나, 출력 드라이버(114)의 드라이버용 PMOS 트랜지스터의 크기는 '70'으로 하고, 서브 전압 강하부(130-1 및 130-2)에서 사용되는 드라이버용 PMOS 트랜지스터의 크기는 각각 '15'로 설정할 수 있다. 이러한 드라이버용 PMOS 트랜지스터의 크기 설정은 코아전압(VCORE)에 따라 적절히 설정하거나, 여러 가지 동작조건들을 고려하여 설계하는 것이 바람직하다.

<42> 접지 제어부(118)는 출력단(120)에 대한 저항을 가진 전류 경로(current path)를 형성시켜 코아전압(VCORE)의 전압레벨을 안정적으로 생성되게 하는 역할을 하며, NMOS 트랜지스터로 구성되는 것이 바람직하다. NMOS 트랜지스터는 제어전압(VCON)에 의해 동작되어 저항소자로 동작된다. 예컨대, 접지 제어부(118)는 NMOS 트랜지스터 대신에, PMOS 트랜지스터와 같은 스위칭 소자로 구성될 수 있다. 또한, 저항소자로 구성될 수 있다.

<43> 액티브 동작부(112)는 내부전압 생성용 액티브 드라이버가 액티브 동작시에만 동작되도록 그 동작을 제어하기 위하여 PMOS 트랜지스터로 구성되는 것이 바람직하다. PMOS 트랜지스터는 액티브 신호(act)에 의해 동작되어 드라이브 노드(119)로 전원전압(VDD)을 전달한다. 예컨

대, 액티브 동작부(112)는 PMOS 트랜지스터 대신에 NMOS 트랜지스터와 같은 스위칭 소자로 구성될 수 있다. 그 동작은, 액티브 신호(act)가 '로우' 상태로 입력되는 경우 PMOS 트랜지스터는 턴-온되고, 이에 따라 드라이브 노드(119)로 외부 전원전압(VDD)은 공급되고, 출력 드라이버(114)의 PMOS 트랜지스터는 턴-오프된다. 결국, 내부전압 생성용 액티브 드라이버는 동작되지 않는다.

<44> 이하에서는, 서브 내부전압 강하 제어부(130-1 및 130-2), 각각으로 입력되는 인에이블 신호(enable1 및 enable2)를 생성하는 인에이블신호 생성 회로부(200)에 대하여 설명한다. 여기서는 일례로 인에이블신호(enable1)에 대해서만 설명하기로 한다.

<45> 도 3에 도시된 바와 같이, 인에이블신호 생성 회로부(200)는 검출부(210), 전압 상승부(220) 및 출력부(230)를 포함한다.

<46> 검출부(210)는 기준전압(VREFC)을 기준으로 코아전압(VCORE)의 전압 레벨을 검출하기 위하여 전류 미러(current mirror circuit)로 구성된다. 또한, 검출부(210)는 부가적으로 출력단(216)으로 출력되는 출력신호를 더욱 안정화시키기 위하여 안정화부(217)를 더 포함하여 구성될 수 있다. 검출부(210)는 코아전압(VCORE)이 미리 설정된 전압 레벨로 강하될 때 코아전압(VCORE)을 검출하여 출력한다.

<47> 검출부(210)는 일정 전압 레벨로 강하되는 코아전압(VCORE)의 전압 레벨을 검출하여 출력하는데, 검출되는 전압 레벨값은 설계시 제어가 가능하다. 즉, 접지전압(VSS)에 의해 저항소자로 동작되는 PMOS 트랜지스터(211 및 212)의 W/L(Width/Length)를 조정함으로써 가능하다. 예컨대, 코아전압(VCORE)이 '1.8V'에서 '1.5V'로 강하되는 경우, 이때의 코아전압(VCORE)을 검출하기 위해서는 PMOS 트랜지스터(211 및 212)의 'W/L'을 다음과 같이 설정하면 된다. NMOS 트랜지스터(213 및 214)가 '1.0V' 이하에서는 턴-온되지 않도록 설계된다. 그리고, PMOS 트랜지

스터(211 및 212)가 접지전압(VSS)에 의해 턴-온되는 경우 '0.5V' 정도의 전압 강하를 야기시키는 저항소자로 동작되도록 'W/L'을 설정하면 된다. 다른 예로, 코아전압(VCORE)이 '1.8V'에서 '1.3V'로 강하되는 경우, 이때의 코아전압(VCORE)을 검출하기 위해서는 PMOS 트랜지스터(211 및 212)의 'W/L'을 다음과 같이 설정하면 된다. NMOS 트랜지스터(213 및 214)가 '1.0V' 이하에서는 턴-온되지 않도록 설계된다. 그리고, PMOS 트랜지스터(211 및 212)가 접지전압(VSS)에 의해 턴-온되는 경우 '0.3V' 정도의 전압 강하를 야기시키는 저항소자로 동작되도록 W/L을 설정하면 된다.

<48> 일례로, 코아전압(VCORE)이 '1.8V'에 '1.5V'로 강하되는 경우, 이때의 코아전압(VCORE)의 전압 레벨이 검출되도록 동작되는 검출부(210)의 동작을 설명하기로 한다. 우선, 액티브 신호(act)에 의해 NMOS 트랜지스터(215)가 턴-온된 상태에서, 코아전압(VCORE; 1.8V)이 PMOS 트랜지스터(211)의 소스 전극으로 입력되고, 기준전압(VREFC; 1.8V)이 PMOS 트랜지스터(212)의 소스 전극으로 입력되면, 접지전압(VSS)에 의해 턴-온되는 각 PMOS 트랜지스터(211 및 212)를 통해 노드(218) 및 출력단(216)으로는 '1.3V'의 전압이 전달된다. 이에 따라, NMOS 트랜지스터(213 및 214)는 모두 턴-온되어 출력단(216)으로는 접지전압(VSS)의 전압 레벨을 갖는 출력신호가 출력된다. 이런 상태에서 코아전압(VCORE)이 '1.5V'로 강하되면, 노드(218)로는 '1.0V'의 전압이 전달된다. 이에 따라, 턴-온된 상태로 유지되고 있는 NMOS 트랜지스터(213 및 214)는 턴-오프된다. 결국, 출력단(216)으로는 '1.3V'의 전압 레벨을 갖는 출력신호가 출력된다. 한편, '1.3V'의 전압 레벨을 갖는 출력신호는 안정화부(217)에 의해 '1.5V'의 전압 레벨을 갖는 코아전압(VCORE)으로 안정화된다.

<49> 전압 상승부(220)는 검출부(210)로부터 출력되는 출력신호, 즉 코아전압(VCORE)에 대응되는 출력신호를 전원전압(VDD)으로 상승시키기 위하여 레벨 쉬프터(level shifter)로 구성된

다. 동작을 설명하면, 검출부(210)의 출력신호가 '하이(HIGH)' 상태, 즉 코아전압(VCORE)의 전압 레벨로 입력되면, NMOS 트랜지스터(223)는 턴-온되고, NMOS 트랜지스터(224)는 턴-오프된다. 이에 따라, PMOS 트랜지스터(222)가 턴-온되어 출력단(226)으로는 전원전압(VDD)이 전달된다. 반면, '로우(LOW)' 상태, 즉 접지전압(VSS) 레벨로 입력되면, 인버터(225)를 통해 반전된 신호에 의해 NMOS 트랜지스터(224)가 턴-온되어 PMOS 트랜지스터(221)가 턴-온된다. 이에 따라, PMOS 트랜지스터(222)가 턴-오프되어 출력단(226)의 전위는 접지전압(VSS)이 된다.

<50> 출력부(230)는 전압 상승부(220)로부터 출력되는 출력신호에 따라 인에이블신호(enable1)를 출력한다. 동작을 설명하면, 전압 상승부(220)로부터 전원전압(VDD) 레벨의 '하이' 신호가 NMOS 트랜지스터(232)로 입력되는 상태에서, 액티브 지연신호(act_delay)가 '하이' 상태로 NMOS 트랜지스터(233)로 입력되면, 래치부(234)를 통해 접지전압(VSS) 레벨의 '하이' 신호가 출력된다. 이후, 논리 조합부(235)의 입력으로는 '하이' 상태의 액티브 신호(act), 액티브 지연신호(act_delay) 및 래치부(234)의 출력신호가 입력되고, 이에 따라 인에이블신호(enable1)는 '로우' 상태로 출력된다. 출력부(230)는 인에이블신호(enable1)를 '하이' 상태로 디스에이블(disable)시키기 위하여 PMOS 트랜지스터(231)를 더 포함한다. PMOS 트랜지스터(231)는 파워 업 신호(PWRUP)가 '로우' 상태로 게이트 전극으로 입력되면, 동작되어 노드(도시되지 않음)으로 전원전압(VDD)을 전달하고, 이에 따라 인에이블신호(enable1)는 '하이' 상태로 출력된다.

<51> 한편, 출력부(230)와 관련되어 설명된 액티브 지연신호(act_delay)는 도 4에 도시된 바와 같이 지연회로(300)에 의해 액티브 신호(act)가 일정 시간 동안 지연된 신호이다. 액티브 지연신호(act_delay)는 액티브 신호(act)가 '로우' 상태에서 '하이' 상태로 천이할 시, 검출부

(210)가 코아전압(VCORE)을 기준전압(VREFC)으로 비교하지 않고 비정상적으로 동작되는 것을 방지한다. 또한, 논리 조합부(235)는 난드 게이트(NAND gate)로 구성되며, 액티브 신호(act)가 '하이' 상태에서 '로우' 상태로 천이할 시, 검출부(210)의 비정상적인 출력이 인에이블신호(enable1)를 왜곡시키는 것을 방지한다.

<52> 상기에서 설명한, 생성 회로부(200)는 인에이블신호(enable1)에 한정되는 것은 아니다. 즉, 인에이블신호(enable2)는 생성 회로부(200)와 동일한 구성을 갖는 회로에 의해 생성된다. 그러나, 인에이블신호(enable1)와 인에이블신호(enable2)가 코아전압(VCORE)의 전압 레벨에 따라 '로우' 상태로 인에이블되는 시점을 다르게 하여야 한다. 이를 위하여, 일례로 검출부(210)의 PMOS 트랜지스터(211 및 212)의 'W/L'을 조정한다. 즉, 코아전압(VCORE)이 '1.8V'에서 '1.5V'로 강하되는 경우, 이때 인에이블신호(enable1)를 '로우' 상태로 인에이블시키고, 코아전압(VCORE)이 '1.3V'로 강하되는 경우, 이때 인에이블신호(enable2)를 '로우' 상태로 인에이블시키면 된다. 이를 위해, PMOS 트랜지스터(211 및 212)의 'W/L'을 적절히 설정하면 된다.

<53> 이하에서는, 본 발명의 바람직한 실시예에 따른 내부전압 생성용 액티브 드라이버의 동작예들을 도 5에 도시된 동작예1 및 동작예2를 참조하여 설명하기로 한다. 도 6은 동작예1의 시뮬레이션(simulation) 결과 그래프이고, 도 7은 동작예2의 시뮬레이션 결과 그래프이다.

<54> [동작예1]

<55> 도 5 및 도 6을 참조하면, 동작예1는 코아전압(VCORE)이 제1 전압레벨(det_level1)로 강하되는 경우 하나의 인에이블신호(enable1)를 이용하여 강하된 코아전압(VCORE)을 초기 전압레벨로 상승시키는 경우를 설명하기 위한 일례이다.

<56> 코아전압(VCORE)이 제1 전압레벨(det_level1)로 강아되는 경우, 제1 전압레벨 (det_level1)을 검출한 후 이에 대응되는 신호가 출력되도록 미리 설계된 인에이블신호 생성 회로부(200; 도3참조)를 통해 '로우' 상태의 인에이블신호(enable1)가 출력된다. 이후, '로우' 상태의 인에이블신호(enable1)에 의해 서브 내부전압 강하 제어부(130-1; 도2참조)의 스위칭용 PMOS 트랜지스터(130-1a)가 턴-온되어 드라이브 동작이 이루어진다. 이에 따라, 출력단(120)의 전위는 초기의 코아전압(VCORE)의 전압레벨로 상승된다.

<57> [동작예2]

<58> 도 5 및 도 7을 참조하면, 동작예2는 코아전압(VCORE)이 제1 전압레벨(det_level1)로 강아되고, 이후 다시 제2 전압레벨(det_level2)로 강아되는 경우 각 전압레벨에 따라 인에이블신호(enable1 및 enable2)를 인에이블시켜 강아된 코아전압(VCORE)을 초기 전압레벨로 상승시키는 경우를 설명하기 위한 일례이다.

<59> 코아전압(VCORE)이 제1 전압레벨(det_level1)로 강아되는 경우, 제1 전압레벨 (det_level1)을 검출한 후 이에 대응되는 신호가 출력되도록 미리 설계된 인에이블신호 생성 회로부(200; 도3참조)를 통해 '로우' 상태의 인에이블신호(enable1)가 출력된다. 이후, '로우' 상태의 인에이블신호(enable1)에 의해 서브 내부전압 강하 제어부(130-1; 도2참조)의 스위칭용 PMOS 트랜지스터(130-1a)가 턴-온되어 드라이브 동작이 이루어진다. 그러나, 미리 설정된 서브 내부전압 강하 제어부(130-1)의 드라이빙 능력의 한계상 제1 전압레벨(det_level1)로 강아된 코아전압(VCORE)을 상승시킬 수 없게 되는 경우 코아전압(VCORE)은 제1 전압레벨 (det_level1)에서 제2 전압레벨(det_level2)로 강아된다.

<60> 그런 다음, 제2 전압레벨(det_level2)을 검출한 후 이에 대응되는 신호가 출력되도록 미리 설계된 인에이블신호 생성 회로부(도시되지 않음)를 통해 '로우' 상태의 인에이블신호

(enable2)가 출력된다. 이에 따라, '로우' 상태의 인에이블신호(enable1)에 의해 서브 내부전압 강하 제어부(130-2; 도2참조)의 스위칭용 PMOS 트랜지스터(130-2a)가 턴-온되어 드라이브 동작이 이루어진다. 결국, 출력단(120)의 전위는 제2 전압레벨(det_level2)에서 초기의 코아전압(VCORE)의 전압레벨로 상승된다.

<61> 상기와 같이, 동작예1의 경우에는 인에이블신호(enable1 및 enable2) 중 하나의 인에이블신호(enable1)만 인에이블시켜 서브 내부전압 강하 제어부(130-1)만 동작되도록 한다. 그러나, 동작예2의 경우에서와 같이, 미리 설정된 서브 내부전압 강하 제어부(130-1)의 드라이빙 능력의 한계상 제1 전압레벨(det_level1)로 강하된 코아전압(VCORE)을 초기 전압레벨로 상승시킬 수 없는 경우에는 멀티단계(multi-step)로 전압레벨을 검출한 후 이에 대응되는 인에이블신호(enable1 및 enable2)를 순차적으로 인에이블시켜 서브 내부전압 강하 제어부(130-1 및 130-2)가 순차적으로 모두 동작되도록 한다. 이에 따라, 동작예1의 경우(도6참조)에는 오버댐핑 현상이 동작예2의 경우(도7참조)보다 최소화된다. 또한, 오버댐핑 현상의 최소화에 따라 초기 코아전압(VCORE)으로 안정화되는데 걸리는 시간동안 동작예2의 경우보다 동작예1에서 최소화된다.

<62> 이러한 결과는, 앞서 설명한 바와 같이 액티브 동작시 사용되는 드라이버용 PMOS 트랜지스터의 크기와 밀접한 관계가 있다. 동작예1의 경우에는 서브 내부전압 강하 제어부(130-1)의 드라이버용 PMOS 트랜지스터(130-1b)만 동작되는데 반해, 동작예2의 경우에는 서브 내부전압 강하 제어부(130-1)의 드라이버용 PMOS 트랜지스터(130-1b)와, 서브 내부전압 강하 제어부(130-2)의 드라이버용 PMOS 트랜지스터(130-2b)가 모두 동작되기 때문에 동작예1에 비해 액티브 동작시 사용되는 전체 드라이버용 PMOS 트랜지스터의 크기가 증가하게 된다. 따라서, 동작예2의 경우에는 동작예1의 경우보다 오버댐핑 현상도 크게 발생되고, 코아전압(VCORE)이 안정

화되는데 소요되는 시간도 증가된다. 즉, 드라이버용 PMOS 트랜지스터의 크기가 작을 수록 오버댐핑 현상은 최소화된다.

<63> 한편, 본 발명의 실시예에서는 드라이버용으로 사용되는 모든 PMOS 트랜지스터의 크기의 총합을 '100'으로 하고, 이 크기는 각각의 PMOS 트랜지스터로 분배된다. 즉, 종래기술에서는 드라이버용으로 하나의 PMOS 트랜지스터가 사용된다. 이 때문에 종래의 드라이버용 PMOS 트랜지스터의 크기는 본 발명의 실시예에 따른 다수의 드라이버용 PMOS 트랜지스터의 크기의 총합에 대응된다. 이에 따라, 종래기술에서는 액티브 동작시 코아전압(VCORE)의 전압레벨에 무관하게 무조건 드라이버용 PMOS 트랜지스터가 동작된다. 그러나, 본 발명의 바람직한 실시예에 따른 내부 전압 액티브 드라이버는 코아전압(VCORE)의 전압레벨에 따라 해당 드라이버용 PMOS 트랜지스터가 가변적으로 동작됨에 따라 종래기술에 비해 오버댐핑 현상 및 동작 소모전류를 감소시킬 수 있다.

<64> 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<65> 상술한 바와 같이, 본 발명의 바람직한 실시예를 통해서는 반도체 장치의 액티브 동작시에 코아전압(VCORE)의 소모전류에 의한 코아전압(VCORE)의 전압강하를 멀티단계로 검출한 후

검출된 전압강하 레벨에 따라 해당 드라이버용 트랜지스터를 가변적으로 동작시킴으로써 액티브 동작시 출력 드라이버의 크기의 증가에 따른 액티브 소모전류의 증가를 최소화할 수 있다.

<66> 또한, 본 발명의 바람직한 실시예를 통해서는 출력 드라이버의 PMOS 트랜지스터의 크기의 증가에 따른 코아 전압(VCORE)의 오버 댐핑 현상을 최소화하여 오버 댐핑 현상 발생시 코아 전압(VCORE)의 레벨로 안정화되는데 소요되는 시간을 최소화할 수 있다.

<67> 또한, 본 발명의 바람직한 실시예를 통해서는 출력 드라이버의 PMOS 트랜지스터를 사용하는 내부 전압 액티브 드라이버에서, 상기 출력 드라이버의 PMOS 트랜지스터의 크기의 증가를 최소화하여 내부 전압 액티브 드라이버가 차지하는 전체 레이아웃 면적의 증가를 최소화할 수 있다.

【특허청구범위】**【청구항 1】**

기준전압에 따라 외부 전원전압을 내부전압으로 변환하여 출력하는 내부전압 생성부; 및

상기 내부전압의 전압레벨을 검출하여 생성되는 인에이블신호에 따라 동작되어 상기 내부전압을 일정한 전압레벨로 안정화시키는 적어도 하나의 내부전압 강하 제어부를 포함하는 액티브 드라이버.

【청구항 2】

제 1 항에 있어서, 상기 내부전압 강하 제어부가,

상기 인에이블신호에 따라 동작되는 스위칭부; 및

상기 내부전압 생성부의 출력 드라이버의 동작을 제어하는 신호에 따라 동작되고, 상기 스위칭부를 통해 전달되는 상기 전원전압을 전달하는 서브 드라이버를 포함하는 액티브 드라이버.

【청구항 3】

제 1 항에 있어서,

상기 서브 드라이버가 PMOS 트랜지스터인 액티브 드라이버.

【청구항 4】

제 1 항에 있어서,

상기 내부전압 생성부가 액티브 동작시 생성되는 액티브 신호에 따라 동작되도록 제어되는 액티브 드라이버.

【청구항 5】

제 1 항에 있어서, 상기 인에이블신호를 생성하는 수단이,

상기 기준전압에 따라 내부전압을 검출하는 검출부;

상기 검출부의 출력을 상승시키는 전압 상승부; 및

상기 전압 상승부의 출력에 따라 상기 인에이블신호를 출력하는 출력부를 포함하는 액티브 드라이버.

【청구항 6】

제 5 항에 있어서,

상기 검출부가 상기 액티브 신호에 따라 동작되는 전류 미러인 액티브 드라이버.

【청구항 7】

제 5 항에 있어서, 상기 검출부가,

상기 액티브 신호에 따라 동작되는 전류 미러; 및



상기 전류 미러의 출력을 안정화시켜 출력하는 안정화부를 포함하는 액티브 드라이버.

【청구항 8】

제 5 항에 있어서,

상기 전압 상승부가 레벨 쉬프터인 액티브 드라이버.

【청구항 9】

제 5 항에 있어서, 상기 출력부가,

전원전압원과 노드 사이에 직렬접속되고, 파워 업 신호에 따라 동작되는 PMOS 트랜지스터;

상기 노드와 접지전압원 사이에 접속되며, 전압 상승부의 출력에 따라 턴-온되는 제1 NMOS 트랜지스터;

상기 제1 NMOS 트랜지스터와 접지전압원 사이에 직렬접속되고, 상기 액티브 신호의 지연신호에 따라 턴-온되는 제2 NMOS 트랜지스터;

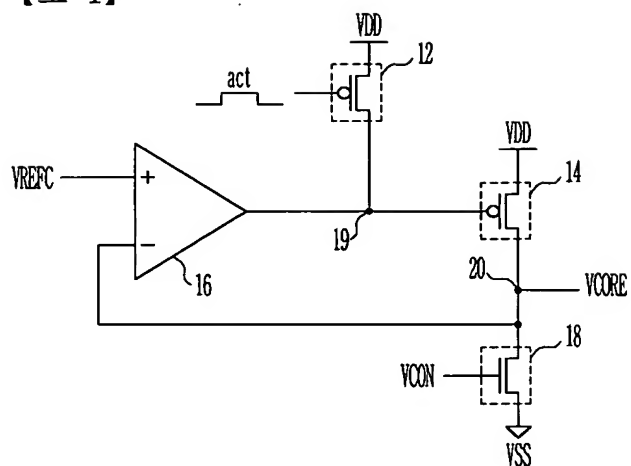
상기 노드의 전위를 래치하여 출력하는 래치부; 및

상기 래치부의 출력신호, 상기 액티브 신호 및 상기 지연신호를 부정 논리곱하여 출력하는 난드 게이트를 포함하는 액티브 드라이버.

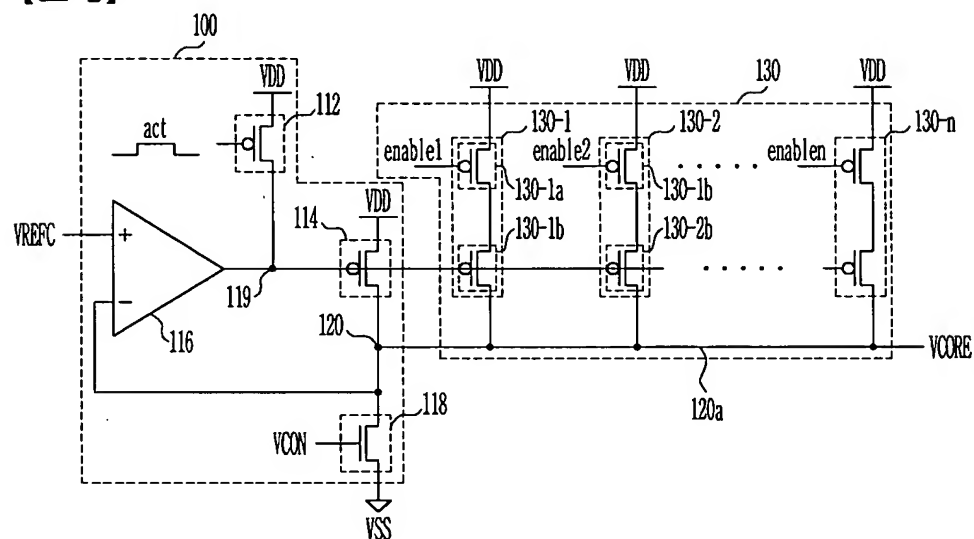


【도면】

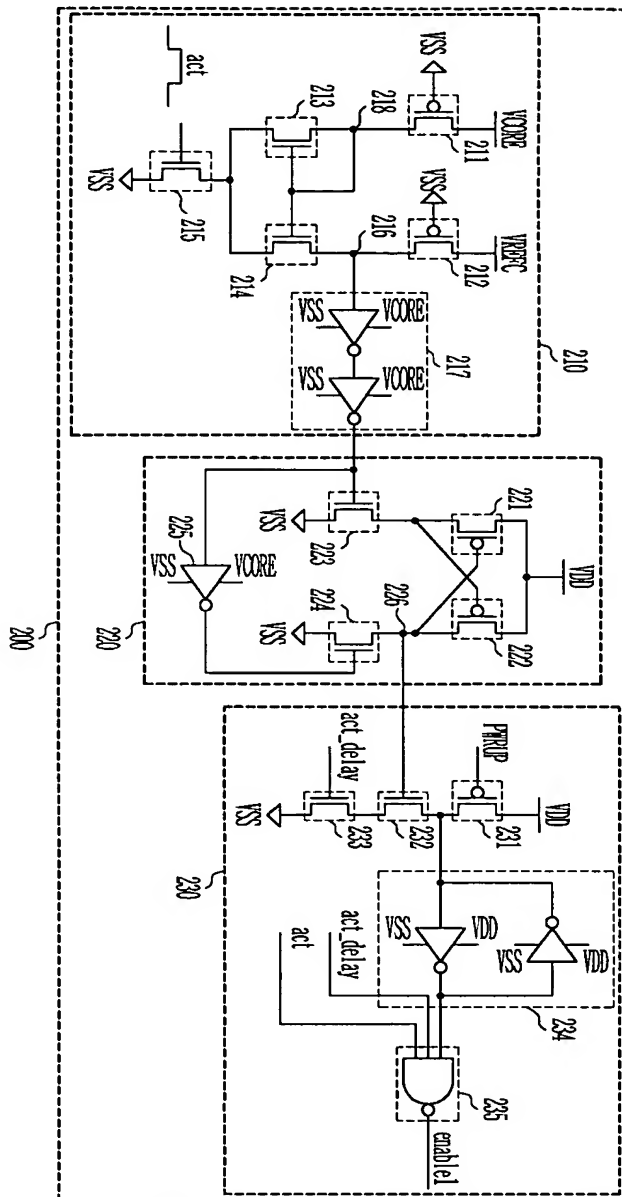
【도 1】



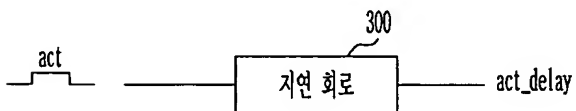
【도 2】



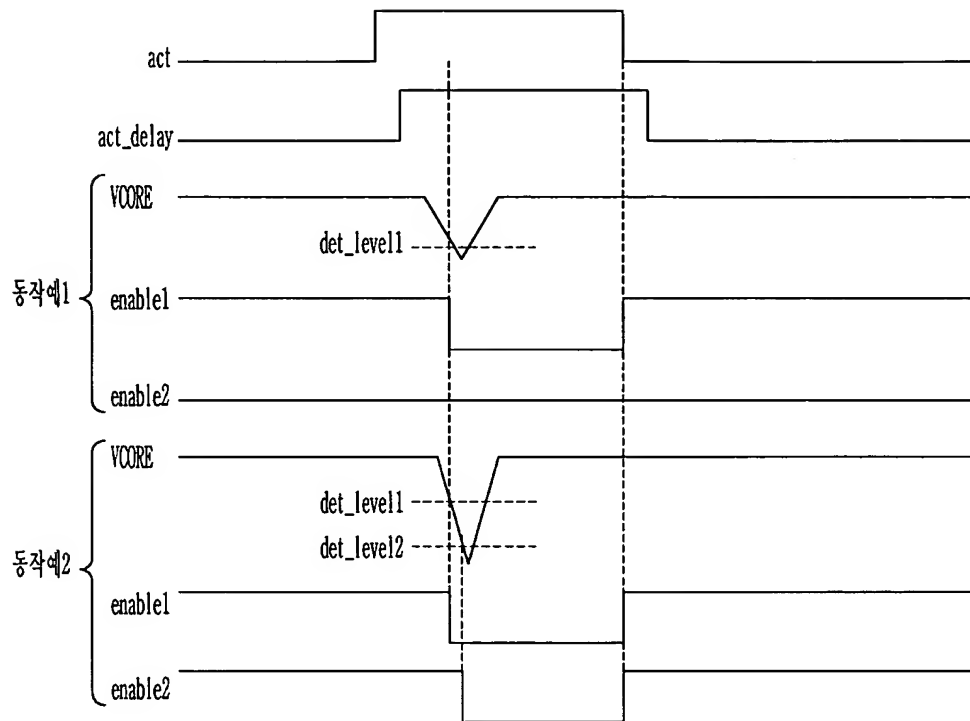
【도 3】



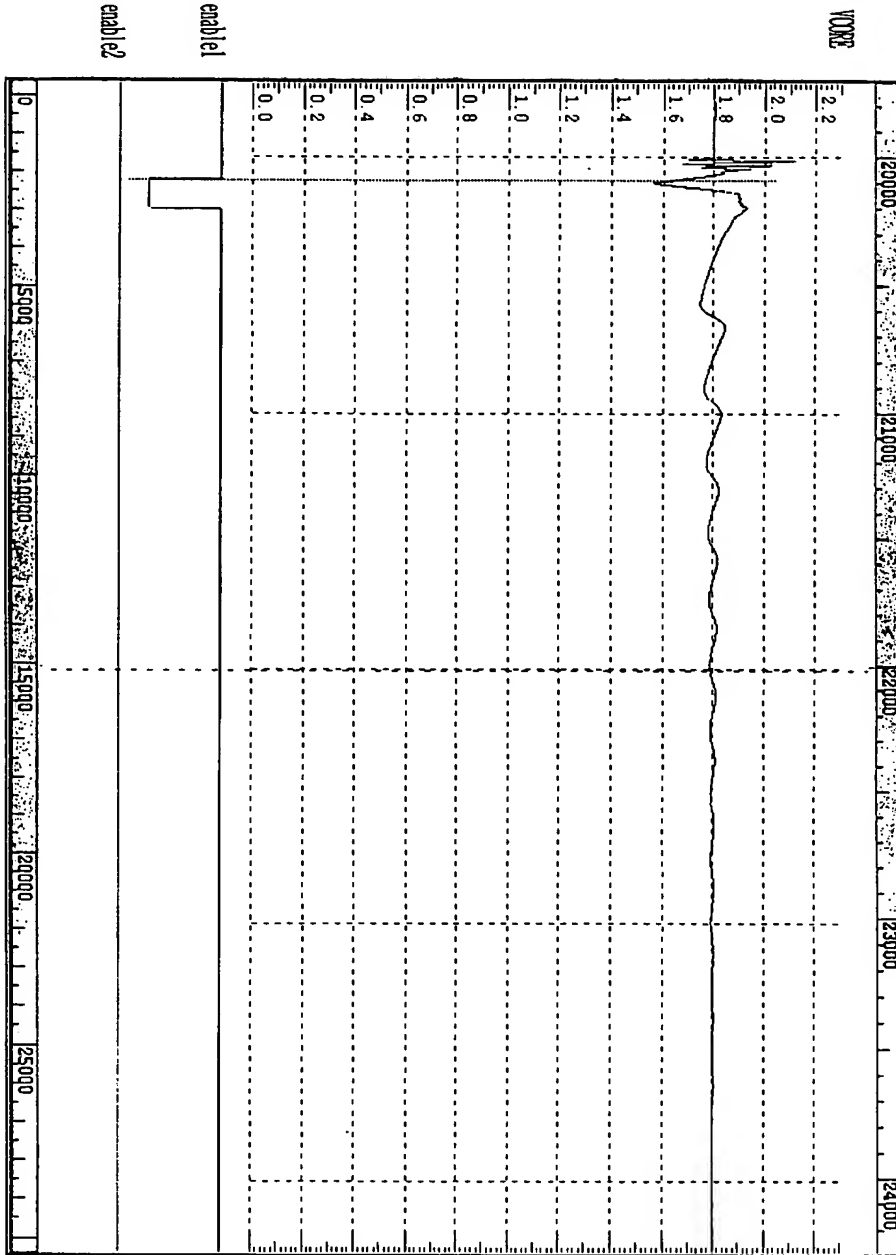
【도 4】



【도 5】



【도 6】



【도 7】

